|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ ТЕХНОЛОГИИ (ИУ7)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04** **ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 1 |

**Название:**

Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-45Б |  |  | А.П. Бугаенко |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | Ю.А.Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Цель работы – изучить схемы асинхронного RS-триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS- и D-триггеров со статическим управлением записью и DV-триггера с динамическим управлением записью.**

Задание №1. Исследовать работу асинхронного RS-триггера с инверсными входами в статическом режиме.

Схема RS-триггера на ЛЭ И-НЕ с подключёнными световыми индикаторами:

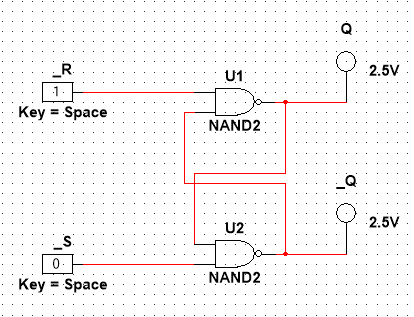


Рисунок 1 - Схема RS-триггера на ЛЭ И-НЕ

Таблица 1 - Таблица переходов RS-триггера на ЛЭ И-НЕ

|  |  |  |  |
| --- | --- | --- | --- |
| Вход | | Выход | |
| ~Sn | ~Rn | Qn+1 | ~Qn+1 |
| 0 | 0 | x | x |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | Qn | Qn |

Задание №2. Исследовать работу синхронного RS-триггера в статическом режиме.

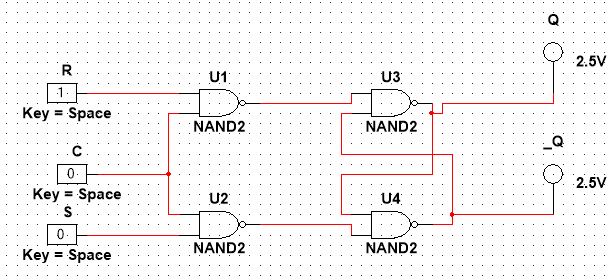


Рисунок 2 - Схема синхронного RS-триггера в статическом режиме

Таблица 2 - Таблица переходов для RS-триггера на ЛЭ И-НЕ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Вход | | | Выход | | |
| Sn | Rn | С | | Qn+1 | ~Qn+1 |
| 0 | 0 | 0 | | x | x |
| 0 | 0 | 1 | | x | x |
| 0 | 0 | 0 | | x | x |
| 0 | 1 | 0 | | x | x |
| 0 | 1 | 1 | | 1 | 0 |
| 0 | 1 | 0 | | 1 | 0 |
| 1 | 0 | 0 | | 1 | 0 |
| 1 | 0 | 1 | | 0 | 1 |
| 1 | 0 | 0 | | 0 | 1 |
| 1 | 1 | 0 | | 0 | 1 |
| 1 | 1 | 1 | | Qn | Qn |
| 1 | 1 | 0 | | Qn | Qn |

Задание №3. Исследовать работу синхронного D-триггера в статическом режиме.

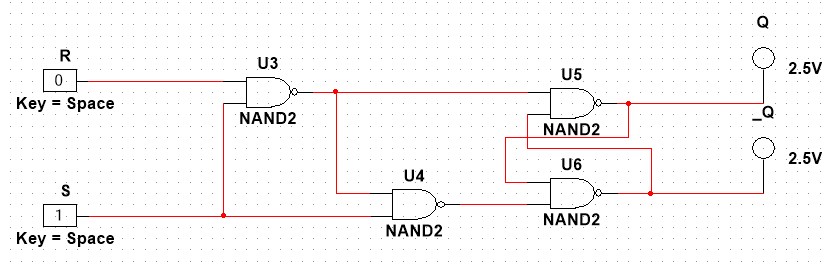


Рисунок 3 - Схема синхронного D-триггера

Таблица 3 - Таблица переходов синхронного D-триггера

|  |  |  |
| --- | --- | --- |
| Cn | Dn | Qn+1 |
| 0 | 0 | Qn |
| 0 | 1 | Qn |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

Задание №4. Исследовать схему синхронного D-триггера с динамическим управлением записью в статическом режиме.

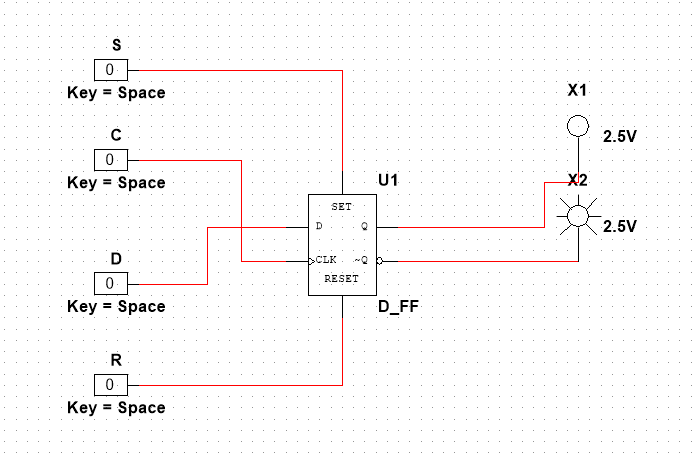


Рисунок 4 - Схема синхронного D-триггера с динамическим управлением записью

Асинхронные входы ~R и ~S используются для начальной установки состояния в 1 или 0.

Таблица 4 - Таблица переходов для ~S ~R входов синхронного D-триггера

|  |  |  |
| --- | --- | --- |
| tn | | tn+1 |
| ~Sn | ~Rn | Qn+1 |
| 0 | 0 | x |
| 0 | 1 | 1 |
| 1 | 0 | 0 |

Таблица 5 - Таблица переходов для входов Cn, Cn+1, Dn синхронного D-триггера

|  |  |  |  |
| --- | --- | --- | --- |
| Cn | Cn+1 | Dn | Qn+1 |
| 0 | 0 | 0 | Qn |
| 0 | 0 | 1 | Qn |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | Qn |
| 1 | 0 | 1 | Qn |
| 1 | 1 | 0 | Qn |
| 1 | 1 | 1 | Qn |

Задание №5. Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме.

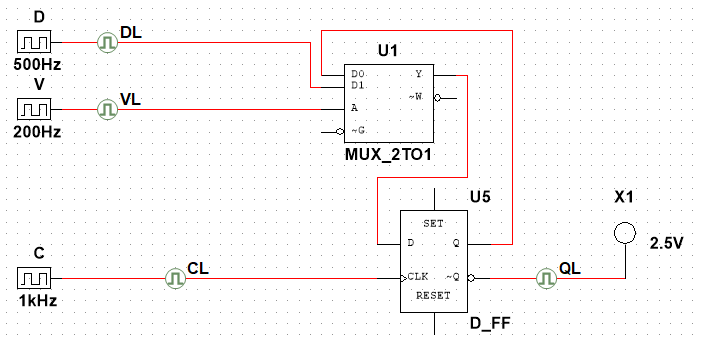


Рисунок 5 - Схема синхронного DV-триггера с динамическим управлением записью

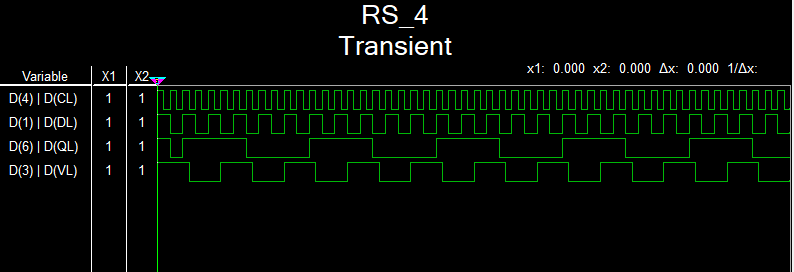


Рисунок 6 - Результаты анализа работы синхронного DV-триггера

VL показывает сигнал входа V, когда V = 1 DV триггер ведёт себя как D-триггер, если V = 0, то он переходит в режим хранения информации. Как мы можем увидеть, значение QL не меняется, когда V = 0. Что означает, что информация сохраняется. Запись информации происходит, когда C = 1, V = 1. Как мы можем увидеть, QL принимает значение потенциала входа D при C = 1 и V = 1, что и требовалось показать.

Задание №6. Исследовать работу DV-триггера, включенного по схеме TV-триггера.

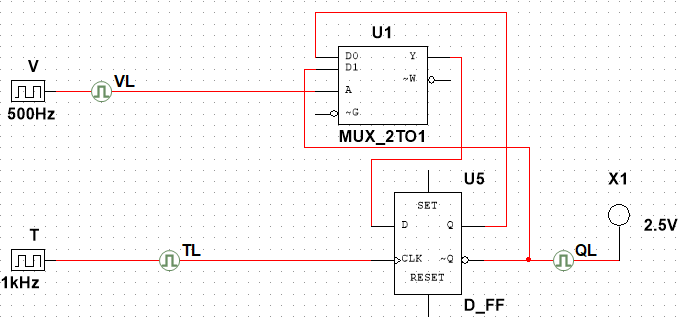


Рисунок 7 - Схема DV-триггера, включённого по схеме TV-триггера

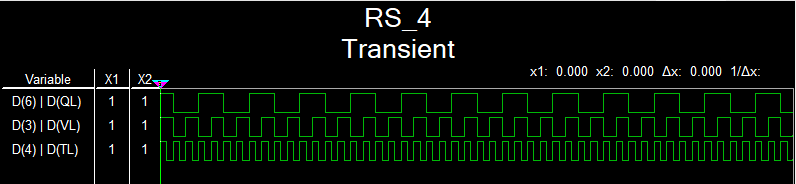


Рисунок 8 - Результаты анализа работы синхронного DV-триггера, включённого по схеме TV-триггера

Смысл Т-триггера состоит в том, чтобы подсчитывать поступающие на вход T импульсы. Значение Q остаётся неизменным, если T не меняется, и меняется, если T переходит либо с 0 на 1, либо с 1 на 0. При этом V должен быть равен 1.

Вывод:

В данной лабораторной работе были изучены различные виды асинхронных и синхронных триггеров, а также экспериментальным путём вывели таблицы истинности. В результате мы увидели, что триггеры могут применяться для хранения и передачи информации в двоичном представлении, причём длительность и качество хранения этой информации зависит от вида триггера.